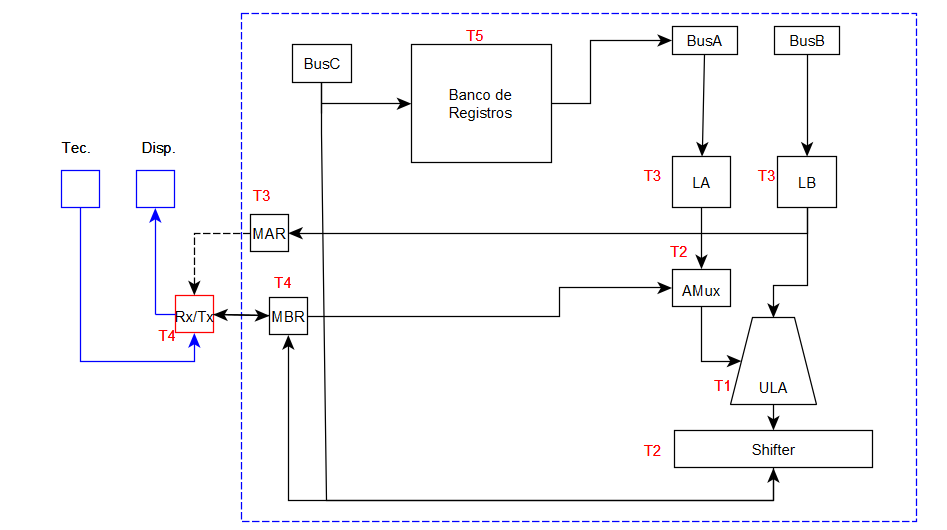
ARQUITETURA E ORGANIZAÇÃO DE COMPUTADORES

**23/08/2023**

Projeto CPU 4bits



Resumo Etapas:

T1: ULA 4bits

Data:

T2: Amux e Shifter 4bits

Data:

T3: Latch e *MAR* 4bits

Data:

T4: *MBR* e Transceiver 4bits

Data:

T5: Banco de Registradores

Data:

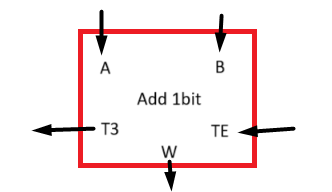
T1: ULA 4bits

Módulos:

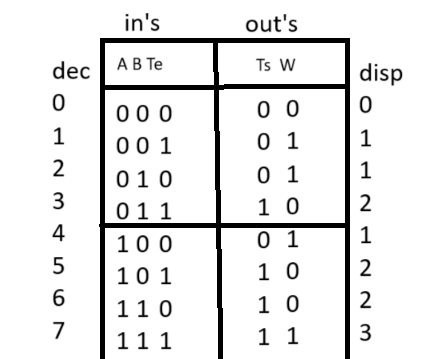
* Add 1bit
* Add 4bits
* Buffer 4bits
* Nano 4bits
* Sub 4bits
* Decode 2bits
* MUX 4x

Módulo Add 1bit

* Modelo Lógico



* Tabela Verdade



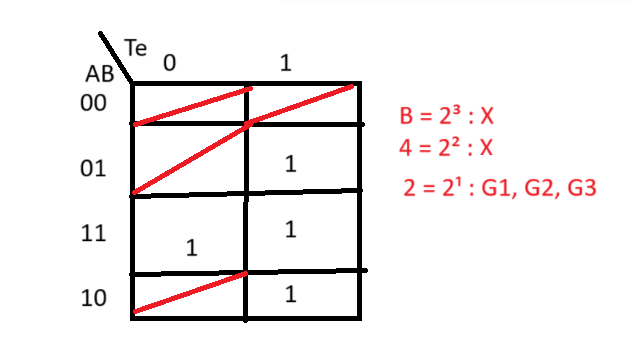
* Expressões Lógicas

W = ? (via Mapa K)

W = M1 + M2 + M4 + M7

TS = ? (via Mapa K)

TS = M3 + M5 + M6 + M7

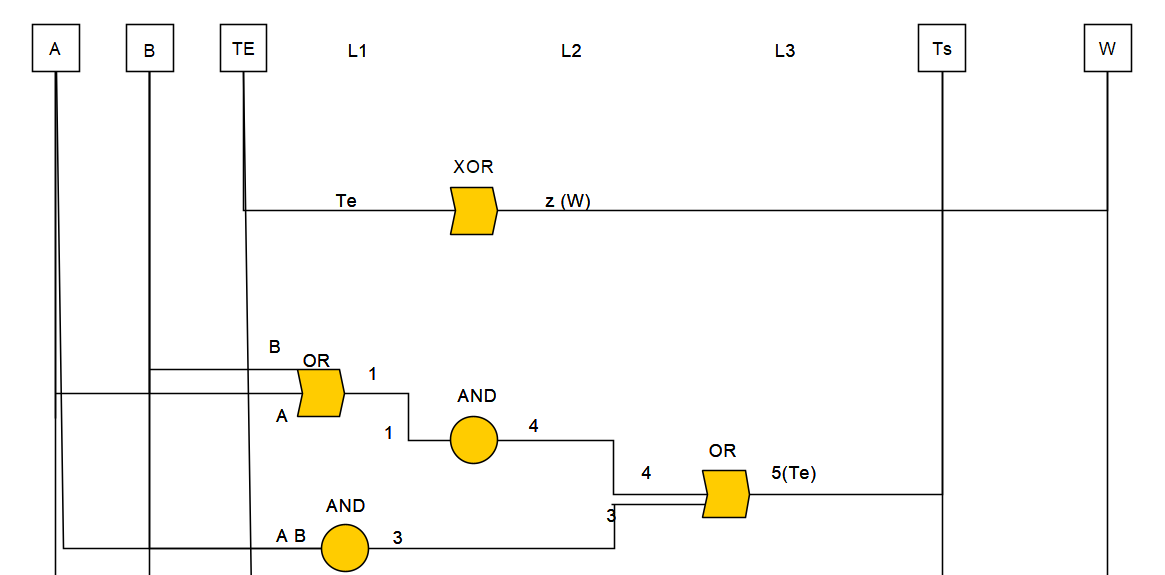


TS = G1 + G2 + G3

TS = BTe + Ate + AB

TS = A.B + Te. (A + B)

* Circuito Lógico



Módulo Add 4bits

* Modelo Lógico
* Tabela Verdade
* Circuito Lógico

*MEMORY ADRESS REGISTER = MAR*

*MEMORY BUFFER REGISTES = MBR*